

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-023367

(43)Date of publication of application : 26.01.2001

(51)Int.Cl.

G11C 7/00  
H03K 5/13

(21)Application number : 11-189000

(71)Applicant : FUJITSU LTD  
FUJITSU VLSI LTD

(22)Date of filing : 02.07.1999

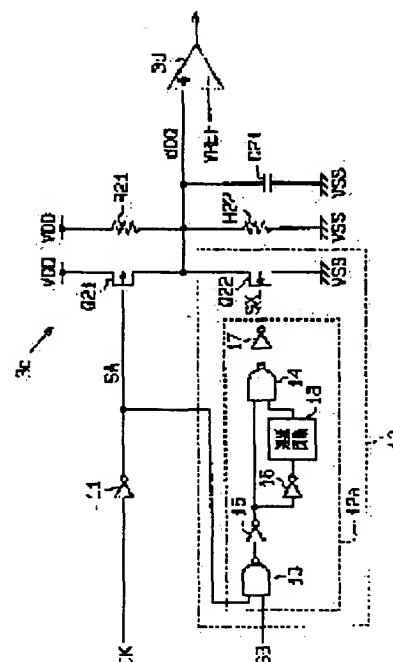
(72)Inventor : MIYAMOTO TEIICHI

(54) TIMING SIGNAL GENERATING CIRCUIT, DLL CIRCUIT, SEMICONDUCTOR MEMORY, AND VARIABLE DELAY CIRCUIT

(57)Abstract:

**PROBLEM TO BE SOLVED:** To generate a highly accurate timing signal by accelerating transition to a second level in a signal transition accelerating circuit, when a timing signal set to a first level by an active circuit is transited to a second level by a passive circuit.

**SOLUTION:** A DLL circuit of a SDRAM is provided with a pseudo interface circuit section 3c as a timing signal generating circuit. Also, the pseudo interface circuit section 3c is provided with a signal transition accelerating circuit 12. When an internal clock signal CK is on an H level from an L level, the signal transition accelerating circuit 12 draws out electric charges charged to a capacitor C21 only during a predetermined fixed time. Therefore, a waveform of fall of a pseudo I/O interface signal dDQ of which a level of theoretical amplitude is set by resistors R21, R22 is made steep by drawing out electric charges of the capacitor 21, a highly accurate pseudo I/O interface signal dDQ can be generated.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-23367

(P2001-23367A)

(43) 公開日 平成13年1月26日 (2001.1.26)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	データベース (参考)
G 1 1 C 7/00	3 1 3	G 1 1 C 7/00	3 1 3 5 J 0 0 1
H 0 3 K 5/13		H 0 3 K 5/13	

審査請求 未請求 請求項の数 6 O L (全 22 頁)

(21) 出願番号 特願平11-189000

(22) 出願日 平成11年7月2日 (1999.7.2)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(71) 出願人 000237617

富士通ヴィエルエスアイ株式会社

愛知県春日井市高蔵寺町2丁目1844番2

(72) 発明者 宮本 禎一

愛知県春日井市高蔵寺町二丁目1844番2

富士通ヴィエルエスアイ株式会社内

(74) 代理人 100068755

弁理士 恩田 博宜

Fターム (参考) 5J001 AA05 BB00 BB10 BB11 BB12

BB20 BB25 CC00 DD03 DD04

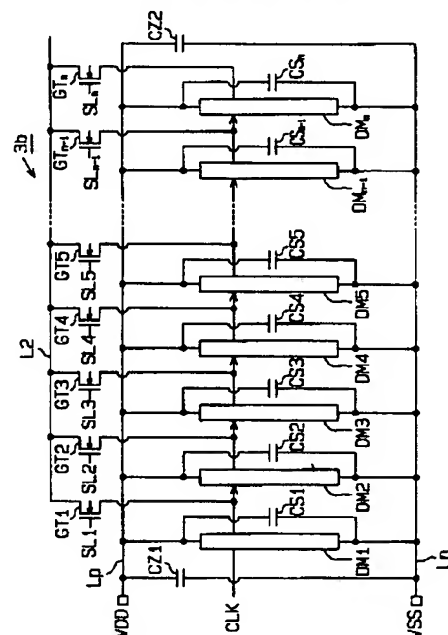
(54) 【発明の名称】 タイミング信号発生回路、DLL回路、半導体記憶装置及び可変遅延回路

(57) 【要約】

【課題】 精度の高いタイミング信号を生成することができるタイミング信号発生回路を提供することにある。

【解決手段】 擬似インターフェース回路部3cに信号遷移加速回路12を備えている。信号遷移加速回路12は、内部クロック信号CKがHレベルからLレベルになると、予め定めた一定時間の間で容量C21に充電された電荷が引き抜かれる。その引き抜きにより、抵抗R21、R22によってその理論振幅のレベルが設定される擬似I/Oインターフェース信号dDQの立ち下がり波形は急峻となり、同擬似I/Oインターフェース信号dDQは精度の高い波形となる。

図1実施形態の遅延回路部の回路図



## 【特許請求の範囲】

【請求項1】 クロック信号から該クロック信号の論理振幅値と異なる振幅値のタイミング信号を発生するタイミング信号発生回路であって、

前記クロック信号が理論振幅の一方の第1レベルから他方の第2レベルに遷移するとき、そのクロック信号にて駆動して前記タイミング信号の一方の第1レベルを設定する能動回路と、

前記クロック信号が第2レベルから第1レベルに遷移するとき、前記タイミング信号の他方の第2レベルを設定する受動回路と、

前記受動回路にて前記タイミング信号について第2レベルを設定する際、該第2レベルへの遷移を加速させる信号遷移加速回路とを備えたことを特徴とするタイミング信号発生回路。

【請求項2】 請求項1に記載のタイミング信号発生回路において、前記能動回路はMOSトランジスタで構成し、前記受動回路は抵抗分割回路で構成したことを特徴とするタイミング信号発生回路。

【請求項3】 内部クロック信号から該クロック信号の論理振幅値と異なる振幅値のタイミング信号を発生するタイミング信号発生回路を備え、そのタイミング信号と外部からの外部クロック信号の位相を比較し、その比較結果に基づいて該外部クロック信号の位相を制御しその位相制御された外部クロック信号を前記内部クロックとして出力するようにしたDLL回路であって、

前記タイミング信号発生回路は、

前記内部クロック信号が該内部クロック信号の理論振幅の一方の第1レベルから他方の第2レベルに遷移するとき、その内部クロック信号にて駆動して前記タイミング信号の一方の第1レベルを設定する能動回路と、

前記内部クロック信号が第2レベルから第1レベルに遷移するとき、前記タイミング信号の他方の第2レベルを設定する受動回路と、

前記受動回路にて前記タイミング信号について第2レベルを設定する際、該第2レベルへの遷移を加速させる信号遷移加速回路とを備えたことを特徴とするDLL回路。

【請求項4】 タイミング信号発生回路が生成する内部クロック信号から該クロック信号の論理振幅値と異なる振幅値のタイミング信号と、外部からの外部クロック信号との位相を判定回路部にて比較し、その比較結果に基づいて遅延制御回路部が遅延回路部を介して外部クロック信号の位相を制御しその位相制御された外部クロック信号を前記内部クロック信号として出力するようにしたDLL回路を備えた半導体記憶装置であって、

前記タイミング信号発生回路は、

前記内部クロック信号が該内部クロック信号の理論振幅の一方の第1レベルから他方の第2レベルに遷移するとき、その内部クロック信号にて駆動して前記タイミング

信号の一方の第1レベルを設定する能動回路と、

前記内部クロック信号が第2レベルから第1レベルに遷移するとき、前記タイミング信号の他方の第2レベルを設定する受動回路と、

前記受動回路にて前記タイミング信号について第2レベルを設定する際、該第2レベルへの遷移を加速させる信号遷移加速回路とを備えたことを特徴とする半導体記憶装置。

【請求項5】 所定方向に延在する一対の電源配線間に、内部クロック信号の位相を制御するための複数の遅延素子が前記所定方向に沿って配置接続され、その各遅延素子がその一対の電源配線を介してそれぞれ電源供給を受けるようにした可変遅延回路において、前記各遅延素子に対してノイズ低減用のフィルタ素子を設けたことを特徴とする可変遅延回路。

【請求項6】 所定方向に延在する一対の電源配線間に、内部クロック信号の位相を制御するための複数の遅延素子が前記所定方向に沿って配置接続され、その各遅延素子がその一対の電源配線を介してそれぞれ電源供給を受けるようにした可変遅延回路において、前記一対の電源配線間に、前記各遅延素子の非動作時に各遅延素子に代わって電力消費する電力消費回路を設けたことを特徴とする可変遅延回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、タイミング信号発生回路、DLL回路、半導体記憶装置及び可変遅延回路に関するものである。

## 【0002】

【従来の技術】従来、LSIデバイス、例えばシンクロナスDRAM (SDRAM) は、外部装置からの外部クロック信号に基づいてデバイス内部でデータの出力タイミングを制御する内部クロック信号や、入力データを取り込むタイミングを制御する内部クロック信号を生成している。そして、SDRAMでは、その高速動作を保証するために、内部クロック信号の生成はDLL回路 (又はPLL回路) にて行なわれる。

【0003】そして、DLL回路は、例えば出力端子の特性変動に連動して、入力された外部クロック信号に同期させた信号或いは遅延させた信号を作って仕様に適したそのタイミング信号を出力タイミングを制御する内部クロック信号として出力する。

【0004】ところで、SDRAMでは、入出力端子に、高速化に適したSSTL (Sub Series Termination Logic) インターフェースが広く採用されている。SSTLインターフェースは小振幅回路であって理論振幅は小振幅なので、タイミングの要求特性も厳しくなっている。

【0005】従って、高速の要求特性を達成するためには、データの出力タイミングを制御する内部クロック信

号や、入力データを取り込むタイミングを制御する内部クロック信号のジッターを小さく抑える必要がある。例えば、DLL回路では、外部クロックを遅延させるための遅延素子の遅延量のばらつきや、デバイス内部で発生する擬似I/Oインターフェース信号と外部I/Oインターフェース信号とのズレを極力なくす必要がある。

【0006】図21は、データの出力タイミングを制御する内部クロック信号を生成するDLL回路を備えたSDRAMのブロック回路を示す。図21において、SDRAM50は、メモリ回路ブロック51を有している。メモリ回路ブロック51は、メモリコントローラ等の外部装置と接続され、外部クロック信号CLK、外部コマンド信号、アドレス信号、書き込みデータ等の各種信号を入力する。そして、メモリ回路ブロック51は外部コマンド信号に基づいてデータの書き込み、データ読み出し等の各種処理動作を内部回路で行う。

【0007】ところで、メモリ回路ブロック51は、リードデータをデータ出力バッファ52に出力する。データ出力バッファ52は、このリードデータを外部出力端子53から外部入力装置54に出力する。詳述すると、データ出力バッファ52は、DLL回路60から内部クロック信号CKを入力し、この内部クロック信号CKにตอบสนองしてメモリ回路ブロック51から読み出されたリードデータRD（外部I/Oインターフェース信号DQ）を取り込み外部出力端子53から外部入力装置54に出力する。この時、外部出力端子53から出力されるリードデータRDは、この外部出力端子53と外部入力装置54の外部入力端子55の間に設けられたSSTL（Sub Series Termination Logic）インターフェース56にて理論振幅がレベル変換されて外部入力装置54に外部I/Oインターフェース信号DQとして出力される。

【0008】図22は、そのSSTLインターフェース56を説明するための回路図である。まず、データ出力バッファ52について説明する。データ出力バッファ52は、プルアップ用のPチャネルMOSトランジスタ（PMOSトランジスタ）Q1とプルダウン用のNチャネルMOSトランジスタ（NMOSトランジスタ）Q2を備えている。PMOSトランジスタQ1のソースは高電位電圧電源VDDに接続され、そのドレインはNMOSトランジスタQ2のドレインに接続されている。NMOSトランジスタQ2のソースは低電位電圧電源VSSに接続されている。PMOSトランジスタQ1及びNMOSトランジスタQ2のゲートには、前記リードデータRDが入力される。

【0009】このリードデータRDは、内部クロック信号CKの立ち上がりに対応して、PMOSトランジスタQ1及びNMOSトランジスタQ2の前段の設けた例えばトランスファークロップゲートが開いて同両MOSトランジスタQ1、Q2に入力される。

【0010】そして、PMOSトランジスタQ1のドレインとNMOSトランジスタQ2のドレインの接続点から出

力されるリードデータRDは、データ出力バッファ52（SDRAM）の外部出力端子53からSSTLインターフェース56にてレベル変換されて外部入力装置54に外部I/Oインターフェース信号DQに出力される。

【0011】図22において、SSTLインターフェース56は、データ出力バッファ52の外部出力端子53側に同外部出力端子53に対して25オームの抵抗R1を介して50オームのプルアップ抵抗R2が接続されている。又、外部入力装置54の外部入力端子55側に同外部入力端子55に対して50オームのプルアップ抵抗R3が接続されている。プルアップ抵抗R2、R3にはそれぞれ終端電圧VTTが印加されるようになっている。そして、抵抗R1とプルアップ抵抗R2の接続点とプルアップ抵抗R3と外部入力端子55の接続点は、配線Lにて接続されている。

【0012】つまり、SSTLインターフェース56によって、図28に示すように、データ出力バッファ52の外部出力端子53から出力されるリードデータRDの波形の理論振幅が外部入力装置54の外部入力端子55に入力されるときに小振幅の波形となる外部I/Oインターフェース信号DQに変換されて入力されるようになっている。この外部I/Oインターフェース信号DQは外部入力装置54の入力バッファ54aに入力され、基準信号VREFと比較され波形整形されて外部入力装置54の内部回路に出力される。

【0013】前記内部クロック信号CKはDLL回路60にて生成される。DLL回路60は、図21に示すように、クロック入力バッファ61、遅延回路部62、擬似インターフェース回路部63、擬似信号入力バッファ64、判定回路部65、遅延制御回路部66を備えている。

【0014】クロック入力バッファ61は、外部装置からの外部クロック信号CLKを入力し、該クロック信号CLKを基準信号VREFとで比較し波形整形された外部クロック信号CLKを遅延回路部62に出力する。つまり、クロック入力バッファ61は、外部クロック信号CLKが立ち上がって基準信号VREF以上になるとHレベルとなり、外部クロック信号CLKが立ち下がって基準信号VREF未満になるとLレベルとなるクロック信号（波形整形された外部クロック信号CLK）を遅延回路部62に出力する。

【0015】遅延回路部62は、外部クロック信号CLKを入力し、遅延制御回路部66の制御信号に基づいて選択した遅延時間だけ外部クロック信号CLKを遅延させた信号を内部クロック信号CKとして出力する。

【0016】図26は、遅延回路部62を説明するための回路図を示す。図26において、遅延回路部62は、複数個（n個）の遅延回路DM1～DMnを有し、各遅延回路DM1～DMnが直列に接続されている。各遅延回路DM1～DMnは、それぞれ電源線Lp、Lnを介して駆動電源としての高電位電圧電源VDD及び低電位電圧電源VSSが印加されている。

【0017】そして、初段の遅延回路DM1にクロック入力バッファ61からの外部クロック信号CLKが入力され、その初段の遅延回路DM1は該外部クロック信号CLKを遅延させて次段の遅延回路DM2に出力する。以後、外部クロック信号CLKは順次遅延されて後段の遅延回路に出力されて行く。従って、クロック入力バッファ61からの外部クロック信号CLKに対して各遅延回路から出力される外部クロック信号CLKの発現は、後段の遅延回路ほど遅延する。

【0018】又、各遅延回路DM1～DMnの出力端子は、NチャネルMOSトランジスタよりなるゲートトランジスタGT1～GTnを介して内部クロック信号出力線L2に接続されている。ゲートトランジスタGT1～GTnは、後記する遅延制御回路部66からの選択信号SL1～SLnによっていずれか1つがオンされるようになっている。そして、選択されたゲートトランジスタに対応する遅延回路から出力される外部クロック信号CLKが内部クロック信号出力線L2に出力される。つまり、内部クロック信号出力線L2には、クロック入力バッファ61からの外部クロック信号CLKに対して所定の時間遅延した、即ち位相制御された外部クロック信号CLKが遅延制御回路部66によって各遅延回路DM1～DMnから選択されて出力される。

【0019】内部クロック信号出力線L2に出力される選択された遅延した（位相制御された）外部クロック信号CLKは、内部クロック信号CKとして前記データ出力バッファ52に出力されることになる。又、この内部クロック信号出力線L2に出力される内部クロック信号CKは、擬似インターフェース回路部63に出力される。

【0020】擬似インターフェース回路部63は、前記データ出力バッファ52から出力されるリードデータRDが前記SSTLインターフェース56を介してレベル変換されて外部入力装置54に到達し入力される外部I/Oインターフェース信号dQと近似させた信号（擬似I/Oインターフェース信号dDQ）を生成する回路部である。つまり、擬似インターフェース回路部63は、前記SSTLインターフェース56の伝達特性と近似させた回路にて構成されている。

【0021】図24は、従来の擬似インターフェース回路部63の一例を示す回路を示す。この擬似インターフェース回路部63は、出力部63aとインターフェース部63bとを有している。出力部63aは、前記データ出力バッファ52と同じ回路構成であって、プルアップ用のPMOSトランジスタQ11とプルダウン用のNMOSトランジスタQ12を備えている。PMOSトランジスタQ11のソースには高電位電圧電源VDDが接続され、NMOSトランジスタQ12のソースは低電位電圧電源VSSに接続されている。PMOSトランジスタQ11及びNMOSトランジスタQ2のゲートには、前記内部クロック信号CKが入力される。そして、PMOSトランジスタQ11のドレインとNMOSトランジスタQ12のドレインの接続点

から出力される内部クロック信号CKは、インターフェース部63bに出力される。

【0022】インターフェース部63bは、図22に示したSSTLインターフェース56と等価になるように構成した回路構成である。図23は、図22に示したSSTLインターフェース56の等価回路である。この等価回路は、25オームの抵抗R4と25オームのプルアップ抵抗R5を備えるとともに、配線Lの配線容量を考慮して30[pF]の容量C1が設けられている。

【0023】図24において、インターフェース部63bは、容量C11と4個の抵抗R11～R14を備えている。抵抗R11と抵抗R12は分圧回路を構成し、高電位電圧電源VDDを分圧して終端電圧VTT（SSTLインターフェース56の抵抗R2、R3（図23において抵抗R5）に供給される終端電圧VTT）を生成する。

【0024】抵抗R13は25オームの抵抗R4に相当する抵抗であって、出力部63aからの内部クロック信号CKを入力する。抵抗R14はプルアップ用のプルアップ抵抗R5に相当する抵抗であって、前記分圧回路から終端電圧VTTが印加される。容量C11は配線Lの配線容量（30[pF]の容量C1）に相当する容量であって、抵抗R13と抵抗R14の接続点と低電位電圧電源VSSとの間に接続されている。

【0025】従って、遅延回路部62からの内部クロック信号CKは、SSTLインターフェース56を介してレベル変換されて外部入力装置54に入力される外部I/Oインターフェース信号dQと近似した信号（擬似I/Oインターフェース信号dDQ）が次段の擬似信号入力バッファ64に入力する。

【0026】擬似信号入力バッファ64は、前記擬似I/Oインターフェース信号dDQを入力し、該擬似I/Oインターフェース信号dDQを前記基準信号VREFとて比較して波形整形する。詳述すると、擬似信号入力バッファ64は、擬似I/Oインターフェース信号dDQの理論振幅の中間レベルを基準信号VREF（判定レベル）とし、該基準信号VREFと擬似I/Oインターフェース信号dDQとを比較して擬似I/Oインターフェース信号dDQを整形する。

【0027】詳述すると、擬似信号入力バッファ64は、擬似I/Oインターフェース信号dDQが立ち上がって基準信号VREF以上になるとHレベルとなり、擬似I/Oインターフェース信号dDQが立ち下がって基準信号VREF未満になるとLレベルとなるクロック信号（波形整形された擬似I/Oインターフェース信号）を出力する。そして、波形整形された擬似I/Oインターフェース信号は判定回路部65に出力される。

【0028】判定回路部65は、波形整形された擬似I/Oインターフェース信号を入力するとともに前記外部クロック信号CLKを入力する。判定回路部65は、擬似I/Oインターフェース信号dDQの立ち上がりと外部クロック信号CLKの立ち上がりのズレを比較する。即ち、判定回

路部65は擬似I/Oインターフェース信号dDQと外部クロック信号CLKとの位相を比較する。そして、判定回路部65は、その比較結果を次段の遅延制御回路部66に出力する。

【0029】遅延制御回路部66は、その判定結果に基づいて、前記遅延回路部62のゲートトランジスタGT1～GTnのいずれか1つ選択してオンさせる。つまり、擬似I/Oインターフェース信号dDQの立ち上がりタイミングが、外部クロック信号CLKの立ち上がりタイミングより進んでいるときには、遅延制御回路部66は、内部クロック信号CKの立ち上がりタイミングを遅らせるために、現在の遅延回路より後段の遅延回路を選択しその選択したゲートトランジスタをオンさせる。即ち、擬似I/Oインターフェース信号dDQが外部クロック信号CLKより位相が予め定めた値だけ進んでいる時、遅延制御回路部66は内部クロック信号CKの位相を遅らせるべく現在の遅延回路より後段の遅延回路を選択しその選択したゲートトランジスタをオンさせる。

【0030】又、擬似I/Oインターフェース信号dDQの立ち上がりタイミングが外部クロック信号CLKの立ち上がりタイミングより遅れているときには、遅延制御回路部66は、内部クロック信号CKのタイミングを早くさせるために、現在の遅延回路より前段の遅延回路を選択しその選択したゲートトランジスタをオンさせる。即ち、擬似I/Oインターフェース信号dDQが外部クロック信号CLKより位相が予め定めた値だけ遅れている時、遅延制御回路部66は内部クロック信号CKの位相を進ませるべく現在の遅延回路より前段の遅延回路を選択しその選択したゲートトランジスタをオンさせる。

【0031】このように、DLL回路60は、データ出力バッファ52の出力タイミングを制御する内部クロック信号CKを出力端子53の特性変動に連動して仕様に適したタイミングで発生させている。

【0032】ところで、前記擬似インターフェース回路部63では、終端電圧VTTをつくるために、抵抗R11、R12よりなる抵抗分割回路が設けられ、常に消費電流が流れ消費電力の増大につながっていた。そこで、消費電力を削減するために、擬似インターフェース回路部63のサイズを縮小化することが考えられるが、実際のSSLインターフェース56と乖離することになり、擬似I/Oインターフェース信号dDQと外部I/Oインターフェース信号DQとのズレは大きくなる。

【0033】そこで、図25に示すような擬似インターフェース回路部71が提案されている。この擬似インターフェース回路部71の出力部は1個のPMOSTランジスタQ3からなる。PMOSTランジスタQ3のソースは高電位電圧電源VDDに接続され、PMOSTランジスタQ3のドレインは擬似信号入力バッファ64に接続されている。そして、PMOSTランジスタQ3のゲートに内部クロック信号CKが入力する。

【0034】擬似インターフェース回路部71のインターフェース部はプルアップ抵抗R16、プルダウン抵抗R17及び容量C12を備えている。プルアップ抵抗R16は、一端がPMOSTランジスタQ3のドレインに接続され、他端が高電位電圧電源VDDに接続されている。プルダウン抵抗R17及び容量C12は、それぞれ一端がPMOSTランジスタQ3のドレインに接続され、他端がそれぞれ低電位電圧電源VSSに接続されている。

【0035】そして、PMOSTランジスタQ3がオフの時、ノードn1の電位Vn1は、 $Vn1 = VDD \{ R17 / (R16 + R17) \}$ となる。

【0036】従って、PMOSTランジスタQ3の製造バラツキに関係なく、レベル（ノードn1の電位Vn1を任意に設定できる。しかも、擬似インターフェース回路部71では、高電位電圧電源VDDから低電位電圧電源VSSに貫通する電流を抑えるために、プルダウン抵抗R17の抵抗値を大きくしている。つまり、擬似I/Oインターフェース信号の波形の立ち下がり時に、プルダウン抵抗R17に流れる電流が、先の擬似インターフェース回路部63のNMOSTランジスタQ12に流れる電流より小さくなるように抵抗R16、R17の値を設定している。従って、高電位電圧電源VDDから低電位電圧電源VSSに貫通する電流を抑え消費電力の低減が図られる。

【0037】

【発明が解決しようとする課題】ところで、この擬似インターフェース回路部71では、ノードn1の電位Vn1（擬似I/Oインターフェース信号dDQ）の立ち上がり波形は、前記擬似インターフェース回路部63の擬似I/Oインターフェース信号dDQの立ち上がり波形と同じである。

【0038】しかしながら、この擬似インターフェース回路部71では、高電位電圧電源VDDから低電位電圧電源VSSに貫通する電流を抑えるために、プルダウン抵抗R17の抵抗値を大きくしているため、擬似I/Oインターフェース信号dDQの立ち下がり波形は緩やかになる。

【0039】その結果、外部クロック信号CLKがさらなる高周波化が進むと、次段の擬似信号入力バッファ64での正確な判定が行なわれなくなる。つまり、図29に示すように、擬似I/Oインターフェース信号dDQの立ち下がり波形が緩やかになることによって、次の外部クロック信号CLKの立ち上がりに基づく内部クロック信号CKの立ち上がりによって、同擬似I/Oインターフェース信号dDQは完全に理論振幅のLレベルまで立ち下がる前に再び立ち上がることになる。その結果、図30に示すように、擬似I/Oインターフェース信号dDQのレベルが擬似信号入力バッファ64の判定レベル（基準信号VREF）に到達する時間tPD2は、本来完全に立ち下がったレベルから判定レベルまで到達する本来のタイミング時間tPD1より短くなるため、精度の低い内部クロック信号CK

となりジッターを発生させる要因となっていた。

【0040】本発明の目的は、精度の高いタイミング信号を生成することができるタイミング信号発生回路、DLL回路、半導体記憶装置を提供することにある。又、本発明の目的は、精度の高いクロック信号の位相制御ができる可変遅延回路を提供することにある。

【0041】

【課題を解決するための手段】請求項1及び請求項2に記載の発明によれば、能動回路にて第1レベルに設定されたタイミング信号が受動回路にて第2レベルに遷移するとき、信号遷移加速回路にて第2レベルへの遷移が加速される。このタイミング信号が第1レベルから第2レベルに遷移する時の波形は、タイミング信号が能動回路にて急峻に第2レベルから第1レベルに遷移する時の波形と同様に、急峻な波形となることから、精度の高いタイミング信号が生成される。

【0042】請求項3に記載の発明によれば、能動回路にて第1レベルに設定されたタイミング信号が受動回路にて第2レベルに遷移するとき、信号遷移加速回路にて第2レベルへの遷移が加速される。このタイミング信号が第1レベルから第2レベルに遷移する時の波形は、タイミング信号が能動回路にて急峻に第2レベルから第1レベルに遷移する時の波形と同様に、急峻な波形となることから、精度の高いタイミング信号が生成される。その結果、この精度の高いタイミング信号と外部クロック信号の位相を比較し、その比較結果に基づいて該外部クロック信号の位相を制御することから、DLL回路が生成する内部クロック信号も精度の高い信号となる。

【0043】請求項4に記載の発明によれば、精度の高い内部クロック信号が生成されることから、より高速動作が可能となる。請求項5に記載の発明によれば、各遅延素子に対してノイズ低減用のフィルタ素子を設けたことにより、電源配線にノイズが発生しても該各遅延素子毎に対応するノイズ低減用のフィルタ素子が該ノイズを吸収する。その結果、ノイズによって各遅延素子の動作変動のバラツキは低減されることから、精度の精度の高い内部クロック信号の位相制御を行うことができる。

【0044】請求項6に記載の発明によれば、各遅延素子の非動作時に各遅延素子に代わって電力消費回路が電源配線を介して電力消費する。つまり、この各遅延素子の非動作時においても、電源配線には電力消費回路により電流が流れる。そして、各遅延素子が動作を開始して電力消費回路の電力消費停止して各遅延素子の動作に基づいて電力消費が開始されても、先の電力消費回路の電力消費から各遅延素子の動作による電力消費に移るだけなので、電源配線に供給される電圧変動は小さい。その結果、電源電圧変動によって各遅延素子の動作変動のバラツキは低減されることから、精度の精度の高い内部クロック信号の位相制御を行うことができる。

【0045】

【発明の実施の形態】(第1実施形態)以下、本発明をSDRAMに具体化した一実施形態を図面に従って説明する。

【0046】図1は、データの出力タイミングを制御する内部クロック信号を生成するDLL回路を備えたSDRAMのブロック回路を示す。図1において、半導体記憶装置としてのSDRAM1は、メモリ回路ブロック2を有し、そのメモリ回路ブロック2にはリードデータを出力するデータ出力バッファ2aを備えている。又、SDRAM1は、DLL回路3を有している。DLL回路3は、クロック入力バッファ3a、可変遅延回路としての遅延回路部3b、タイミング信号発生回路としての擬似インターフェース回路部3c、擬似信号入力バッファ3d、判定回路部3e、遅延制御回路部3fを備えている。

【0047】尚、本実施形態のSDRAM1の全体構成は、図1から明らかなように、前記図21で説明した従来のSDRAM50と同じである。そして、本実施形態では、SDRAM1に備えたDLL回路3を構成する遅延回路部3bと擬似インターフェース回路部3cの内部構成が、従来の遅延回路部62と擬似インターフェース回路部63の内部構成と相違する。従って、説明の便宜上、従来と相違する遅延回路部3bと擬似インターフェース回路部3cについてのみ説明し、他の部分は従来のSDRAM50と同じである説明の便宜上省略する。

【0048】[擬似インターフェース回路部3c]まず、擬似インターフェース回路部3cについて説明する。図2は、擬似インターフェース回路部3cを説明するための回路図を示す。

【0049】図2において、擬似インターフェース回路部3cの出力部は、能動回路を構成する1個のPMOSTランジスタQ21を有している。PMOSTランジスタQ21のソースは高電位電圧電源VDDに接続され、PMOSTランジスタQ21のドレインは擬似信号入力バッファ3dに接続されている。そして、PMOSTランジスタQ21のゲートには出力制御回路を構成するインバータ回路11を介して遅延回路部3bからのクロック信号としての内部クロック信号CKが入力される。尚、本実施形態では、PMOSTランジスタQ21の駆動能力を大きなものとし、同PMOSTランジスタQ21がオンした時、後記する容量C21に大きな電流が流れ込むようにしてタイミング信号としての擬似I/Oインターフェース信号dDQの立ち上がり波形を急峻にするようになっている。

【0050】擬似インターフェース回路部3cのインターフェース部は、抵抗分割回路を構成する抵抗R21、R22と容量C21を備えている。抵抗R21は、一端がPMOSTランジスタQ21のドレインに接続され、他端が高電位電圧電源VDDに接続されている。抵抗R22及び容量C21は、それぞれ一端がPMOSTランジスタQ21のドレインに接続され、他端がそれぞれ低電位電圧電源VSSに接続さ



れている。

【0051】つまり、抵抗R21、R22とで、SSTLインターフェース56と近似する擬似I/Oインターフェース信号dDQの理論振幅のレベルを設定する。尚、本実施形態では、抵抗R21、R22の抵抗値は高抵抗値であって、同抵抗R21、R22を介して流れる貫通電流が小さくなるようにしている。又、容量C21は、SSTLインターフェース56の負荷容量と整合をとるための容量である。

【0052】又、擬似インターフェース回路部3cは、信号遷移加速回路12を備えている。信号遷移加速回路12は、NMOSTランジスタQ22と放電制御回路12aを備えている。NMOSTランジスタQ22のドレインは、PMOSTランジスタQ21のドレインに接続され、NMOSTランジスタQ22のソースは低電位電圧電源VSSに接続されている。NMOSTランジスタQ22のゲートは、放電制御回路12aからの制御信号SXが入力される。

【0053】放電制御回路12aは、2個の第1及び第2ナンド回路13、14、3個のインバータ回路15、16、17及び遅延回路18を備えている。第1ナンド回路13は、前記インバータ回路11を介して内部クロック信号CKが反転した反転内部クロック信号SAを入力するとともに、スタンバイ信号SBを入力する。スタンバイ信号SBは、SDRAM1がスタンバイ状態の時、即ち、外部装置から外部クロック信号CLKが入力されていない時、Lレベル（低電位）となり、外部クロック信号CLKが入力されている時、Hレベル（高電位）となる信号である。このスタンバイ信号SBは、SDRAM1内に設けた図示しないスタンバイ信号生成回路から出力される。

【0054】従って、第1ナンド回路13の出力は、スタンバイ状態でないとき、反転内部クロック信号SAがHレベル（内部クロック信号CKがLレベル）になると、Lレベルとなる。

【0055】第1ナンド回路13の出力は、第1インバータ回路15を介して第2ナンド回路14に出力される。又、第1ナンド回路13の出力は、第1及び第2インバータ回路15、16を介して遅延回路18に出力される。遅延回路18は、本実施形態では、偶数個のインバータ回路にて構成されている。そして、その偶数個のインバータ回路の数で決まる遅延時間 $t_d$ だけ遅延して第2インバータ回路16の出力は、第2ナンド回路14に出力される。

【0056】従って、第2ナンド回路14の出力は、第1ナンド回路13の出力がLレベルになると、遅延回路18で決まる遅延時間 $t_d$ だけLレベルとなる。第2ナンド回路14の出力は第3インバータ回路17に出力され、その第3インバータ回路17の出力は制御信号SXとして前記NMOSTランジスタQ22のゲートに出力される。

【0057】つまり、内部クロック信号CKがLレベル

（反転内部クロック信号CKがHレベル）になると、前記PMOSTランジスタQ21がオフする。これとともに、第1ナンド回路13の出力がLレベルとなるため、制御信号SXが遅延時間 $t_d$ だけHレベルとなってNMOSTランジスタQ22をその遅延時間 $t_d$ だけオンさせる。

【0058】従って、NMOSTランジスタQ22がオンしている間、前記容量C21に充電されている電荷はNMOSTランジスタQ22を介して引き抜かれる。従って、図5に示すように、擬似信号入力バッファ3dに入力される擬似I/Oインターフェース信号dDQの立ち下がり波形は、NMOSTランジスタQ22がオンしている間（遅延時間 $t_d$ ）、立ち下がり急峻となる。その結果、インターフェース部の抵抗R21、R22で設定した擬似I/Oインターフェース信号dDQの理論振幅のLレベルに短時間で到達することになる。

【0059】つまり、擬似インターフェース回路部3cに設けた信号遷移加速回路12は、擬似I/Oインターフェース信号dDQのHレベルからLレベルへ遷移する時間を短縮する。

【0060】〔遅延回路部3b〕次に、遅延回路部3bについて説明する。図3は遅延回路部3bを説明するための回路図を示す。尚、説明の便宜上、前記した従来の遅延回路部62を構成する部分で共通の部分は符号を同じにして説明する。

【0061】遅延回路部3bを構成する遅延素子としての遅延回路DM1～DMnは所定方向に延在する電源配線としての一对の電源線Lp、Ln間に前記延在方向に配置接続されている。図4において、各遅延回路DM1～DMnは、2個のCMOSインバータ回路19a、19bと容量C13とを備えている。

【0062】そして、CMOSインバータ回路19a、19bのPMOSTランジスタのソースは電源線Lpに接続され、高電位電圧電源VDDが印加される。CMOSインバータ回路19a、19bのNMOSTランジスタのソースは電源線Lnに接続され、低電位電圧電源VSSが印加される。容量C13の一端はCMOSインバータ回路19aの出力端子とCMOSインバータ回路19bの入力端子との間に接続され、他端は電源線Lnに接続されている。そして、この容量C13に充電される電荷及び充電された電荷の充放電時間によって、各遅延回路DM1～DMnの遅延時間は決まることになる。

【0063】このように構成された遅延回路部3bの各遅延回路DM1～DMnには、それぞれ安定化容量Cs1～Csnが並列に接続されている。そして、電圧電源VDD、VSSがノイズによって変動した時、この安定化容量Cs1～Csnでその変動を吸収する。又、各安定化容量Cs1～Csnは、電源線Lp、Lnを介して供給される高電位及び低電位電圧電源VDD、VSSによって充電される。そして、それぞれ遅延回路DM1～DMnが外部クロック信号CLKに基づいて動作する時、それぞれ安定化容量Cs1～Csnの電荷を駆動電流とし

て供給するようになっている。

【0064】次に上記のような構成した実施形態の特徴を以下に記載する。

(1) 本実施形態によれば、擬似インターフェース回路部3cは、抵抗R21、抵抗R22によってSSTLインターフェース56と近似する擬似I/Oインターフェース信号dDQの理論振幅のレベルを設定し、容量C21によってSSTLインターフェース56の負荷容量と整合をとるようにした。

【0065】又、擬似インターフェース回路部3cに信号遷移加速回路12を設けた。信号遷移加速回路12は、内部クロック信号CKがLレベルからHレベル(内部クロック信号CKがHレベルからLレベル)になると、予め定めた一定時間(遅延時間 $t_e$ )の間だけ容量C21に充電された電荷を引き抜くようにした。

【0066】従って、抵抗R21、抵抗R22によってその理論振幅のレベルが設定される擬似I/Oインターフェース信号dDQの立ち下がり波形は、その電荷を引き抜きによって急峻となり、その一定時間経過後は緩やかに立ち下がる。

【0067】従って、擬似I/Oインターフェース信号dDQの立ち下がりは、次の擬似I/Oインターフェース信号dDQの立ち上がりタイミングまでに、理論振幅のLレベルまで立ち下がることになる。つまり、内部クロック信号CKに基づいて生成される擬似I/Oインターフェース信号dDQにおいて、内部クロック信号CKの周期が短くなっても、擬似I/Oインターフェース信号dDQの波形を次の擬似I/Oインターフェース信号dDQの立ち上がりタイミングまでに、理論振幅のLレベルまで立ち下げることができる。

【0068】言い換えれば、内部クロック信号CKの周期が短くなっても、擬似I/Oインターフェース信号dDQの立ち上がりは、理論振幅のLレベルのレベルから立ち上がるようにした。

【0069】その結果、図5に示すように、擬似信号入力バッファ3dにおいて、擬似I/Oインターフェース信号dDQのレベルが立ち上がりを開始してから(外部クロック信号CLKの立ち上がり開始から)判定レベル(基準信号VREF)を超えるタイミング時間 $t_{PD5}$ 、 $t_{PD6}$ の判定は、内部クロック信号CK(即ち外部クロック信号CLK)の周期が短くなっても、常に正確に判定することができる。

【0070】しかも、判定回路部3eは、この精度の高い擬似I/Oインターフェース信号dDQを使って外部クロック信号CLKと比較することができることから、精度の高い内部クロック信号CKを生成でき、ジッターを抑制することができる。

【0071】(2) 本実施形態では、擬似インターフェース回路部3cのインターフェース部に設けた抵抗R21、R22を高抵抗値にした。従って、抵抗R21、R22を介して流れる貫通電流が抑えられ消費電流の低減を図ること

ができる。

【0072】(3) 本実施形態では、擬似インターフェース回路部3cの出力部に設けたNMOSTランジスタQ22を駆動能力を大きなものにした。従って、擬似I/Oインターフェース信号dDQの立ち下がり波形を急峻にすることができる。内部クロック信号CK(即ち外部クロック信号CLK)の周期が短くなっても、精度の高い擬似I/Oインターフェース信号dDQを生成することができる。

【0073】(4) 本実施形態では、遅延回路部3bの遅延回路DM1~DMnに対してそれぞれ安定化容量Cs1~Csnを並列に接続した。そして、電源線Lp、Lnを介して供給される高電位及び低電位電圧電源VDD、VSSを各安定化容量Cs1~Csnに充電し、その充電電圧に基づいてそれぞれ遅延回路DM1~DMnを駆動するようにした。従って、各遅延回路DM1~DMnの駆動電源はほぼ等しくなり、駆動電源の変動を小さくでき、各遅延回路DM1~DMnごとの遅延時間の変動を小さくすることができる。

【0074】しかも、高電位及び低電位電圧電源VDD、VSSがノイズによって急激に変動しても、安定化容量Cs1~Csnが吸収するため、各遅延回路DM1~DMnに供給される駆動電源の変動は小さく抑えられ、各遅延回路DM1~DMnの遅延時間の変動も小さく抑えることができる。

【0075】その結果、精度の高い内部クロック信号CKを生成することができ、内部クロック信号CKのジッターを抑制することができる。つまり、図26で示した従来の遅延回路部62において、電源線Lp、Ln間に接続された各遅延回路DM1~DMnに供給される電圧は相違する。これは、電源線Lp、Lnの前端部間及び後端部間に容量Cz1、Cz2を設けても電圧は相違する。つまり、各遅延回路DM1~DMnの内、高電位及び低電位電圧電源VDD、VSSより遠い後段の遅延回路ほど供給電圧は小さくなる。これは、電源線Lp、Lnの抵抗Rx(図26参照)に起因する。

【0076】図31は従来の遅延回路部62の各遅延回路DM1~DMnに対する供給電圧Vとの関係を示す特性線Zvと、その各遅延回路DM1~DMnに対する遅延時間tPDとの関係を示す特性線Ztとを示す。図31から明らかなように、高電位及び低電位電圧電源VDD、VSSより遠い後段の遅延回路ほど供給電圧Vは小さくなるとともに、遅延時間tPDは長くなる。

【0077】図6は、本実施形態の遅延回路部3bの各遅延回路DM1~DMnに対する供給電圧Vとの関係を示す特性線Zvと、その各遅延回路DM1~DMnに対する遅延時間tPDとの関係を示す特性線Ztとを示す。

【0078】図6から明らかなように、本実施形態の遅延回路部3bは、各遅延回路DM1~DMnに供給される電圧Vの変動は小さいことがわかる。従って、各遅延回路DM1~DMnの遅延時間tPDの変動も小さくなる。

【0079】(第2実施形態) 本発明の第2実施形態について図7に従って説明する。尚、本実施形態では、前記第1実施形態で説明した擬似インターフェース回路部

3cが相違するだけなので、その相違する部分について説明する。

【0080】図7は、本実施形態の擬似インターフェース回路部21の回路図を示す。尚、説明便宜上、第1実施形態と同じ部分については符号を同じにして詳細な説明を省略する。

【0081】図7において、擬似インターフェース回路部21のインターフェース部には、抵抗分割回路を構成する4個の抵抗R31、R32、R33、R34、NMOSトランジスタQ31及びスイッチSW1、SW2を有している。

【0082】抵抗R31は、一端がPMOSトランジスタQ21のドレインに接続され、他端が高電位電圧電源VDDに接続されている。抵抗R32は、一端がPMOSトランジスタQ21のドレインに接続され、他端が抵抗R33、R34を介してNMOSトランジスタQ31のドレインに接続されている。そのNMOSトランジスタQ31のソースは低電位電圧電源VSSに接続されている。NMOSトランジスタQ31のゲートはスタンバイ信号SBを入力する。

【0083】前記抵抗R33、R34には、それぞれスイッチSW1、SW2が並列に接続されている。スイッチSW1、SW2は、レベル調整制御信号に基づいて適宜オン・オフ制御されるようになっている。このレベル調整制御信号はSDRAM1の内部の図示しない制御回路から出力される。従って、スイッチSW1、SW2を適宜選択してオン・オフすることによって、SSTLインターフェース56と近似する擬似I/Oインターフェース信号dDQの理論振幅のレベルを調整することができる。

【0084】又、擬似インターフェース回路部21の信号遷移加速回路21aに設けたNMOSトランジスタQ22のソースは、ダイオードD1を介して低電位電圧電源VSSに接続されている。

【0085】次に、上記のように構成した実施形態の特徴を以下に記載する。本実施形態によれば、上記第1実施形態で詳述した擬似インターフェース回路部3dと同様な特徴を有する他に以下のような特徴を有する。

【0086】(1) 本実施形態によれば、4個の抵抗R31、R32、R33、R34と2個のスイッチSW1、SW2を設けた。そして、スイッチSW1、SW2を適宜選択してオン・オフすることによって、SSTLインターフェース56と近似する擬似I/Oインターフェース信号dDQの理論振幅のレベルを調整することができる。

【0087】(2) 本実施形態によれば、NMOSトランジスタQ31を設け、スタンバイ信号SBがHレベルの時にオン状態にし、スタンバイ信号SBがLレベルの時(スタンバイ状態の時)にオフ状態にした。

【0088】従って、スタンバイ状態の時には、抵抗R31、R32、R33、R34及びNMOSトランジスタQ31を介して貫通電流が流れないため、消費電力のさらなる低減を図ることができる。

【0089】(3) 本実施形態によれば、NMOSトラ

ンジスタQ22のソースと低電位電圧電源VSSの間にダイオードD1を設けた。従って、NMOSトランジスタQ22がオンして、容量C21の電荷を引く抜くとき、電荷を引き抜き過ぎて擬似I/Oインターフェース信号dDQのLレベルのレベルが理論振幅より下がらないように、ダイオードD1のダイオード電圧で保証することができる。

【0090】尚、本実施形態では、スイッチSW1、SW2を特に限定していなかったが、例えばMOSトランジスタで具体化してもよい。又、スイッチSW1、SW2をヒューズに代えて該ヒューズを適宜切断して調整するようにしてもよい。

【0091】(第3実施形態) 本発明の第3実施形態について図8に従って説明する。尚、本実施形態も、第2実施形態と同様に前記第1実施形態で説明した擬似インターフェース回路部3cが相違するだけなので、その相違する部分について説明する。

【0092】図8は、本実施形態の擬似インターフェース回路部22の回路図を示す。尚、説明便宜上、第1実施形態と同じ部分については符号を同じにして詳細な説明を省略する。

【0093】まず、本実施形態の擬似インターフェース回路部22は、スタンバイ状態の場合にHレベル、スタンバイ状態でない場合にLレベルとなるスタンバイ信号SBXとなる点が相違する。

【0094】図8において、擬似インターフェース回路部22のインターフェース部の抵抗R21はPMOSトランジスタQ33を介して高電位電圧電源VDDに接続されている。PMOSトランジスタQ33のゲートは前記スタンバイ信号SBXを入力する。

【0095】従って、SDRAM1がスタンバイ状態のときにはPMOSトランジスタQ33はオフ状態となる。擬似インターフェース回路部22の信号遷移加速回路23に設けた放電制御回路23aは、ナンド回路24、ノア回路25、2個のインバータ回路26、27及び遅延回路28を備えている。

【0096】ナンド回路24は、前記インバータ回路11を介して内部クロック信号CKを入力するとともに、インバータ回路26を介してスタンバイ信号SBXを入力する。従って、ナンド回路24の出力は、スタンバイ状態でないとき、反転内部クロック信号CKがHレベル(内部クロック信号CKがLレベル)になるたび毎に、Lレベルとなる。

【0097】ナンド回路24の出力は、ノア回路25に出力される。又、ナンド回路24の出力は、インバータ回路27を介して遅延回路28に出力される。遅延回路28は、本実施形態では、偶数個のインバータ回路にて構成されている。そして、インバータ回路27の出力は、その偶数個のインバータ回路の数で決まる遅延時間 $t_{\text{d}}$ だけ遅延してノア回路25に出力される。

【0098】従って、ノア回路25の出力は、ナンド回

路24の出力がLレベルになると、遅延回路18で決まる遅延時間 $t_e$ だけHレベルとなる。そして、ノア回路25の出力は制御信号SXとして前記NMOSTランジスタQ22のゲートに出力される。従って、第1実施形態と同様に、PMOSTランジスタQ21がオフすると、NMOSTランジスタQ22は遅延時間 $t_e$ だけオンする。

【0099】又、NMOSTランジスタQ22のソースには、NMOSTランジスタQ34を介して低電位電圧電源VSSに接続されている。このNMOSTランジスタQ34は、そのゲートはドレインに接続されていて、NMOSTランジスタQ22のオンとともにオンしてオン抵抗として使用されている。

【0100】本実施形態によれば、上記第1実施形態で詳述した擬似インターフェース回路部3dと同様な特徴を有する他に以下のような特徴を有する。

(1) 本実施形態によれば、PMOSTランジスタQ33を設け、スタンバイ信号SBXがLレベルの時にオン状態にし、スタンバイ信号SBがHレベルの時(スタンバイ状態の時)にオフ状態にした。

【0101】従って、スタンバイ状態の時には、抵抗R21、R22及びPMOSTランジスタQ33を介して貫通電流が流れないため、消費電力のさらなる低減を図ることができる。

【0102】(2) 本実施形態によれば、NMOSTランジスタQ22のソースと低電位電圧電源VSSの間にNMOSTランジスタQ34を設けた。従って、NMOSTランジスタQ22がオンして、容量C21の電荷を引く抜くとき、電荷を引き抜き過ぎて擬似I/Oインターフェース信号dDQのLレベルのレベルが理論振幅より下がらないように、NMOSTランジスタQ34のオン抵抗で制限することができる。

【0103】(第4実施形態) 本発明の第4実施形態について図9に従って説明する。尚、本実施形態も、同様に前記第1実施形態で説明した擬似インターフェース回路部3cが相違するだけなので、その相違する部分について説明する。

【0104】図9は、本実施形態の擬似インターフェース回路部30の回路図を示す。尚、説明便宜上、第1実施形態と同じ部分については符号を同じにして詳細な説明を省略する。

【0105】図9において、擬似インターフェース回路部30のインターフェース部の抵抗R21はPMOSTランジスタQ35を介して高電位電圧電源VDDに接続されている。又、抵抗R22はNMOSTランジスタQ36を介して低電位電圧電源VSSに接続されている。

【0106】そして、PMOSTランジスタQ35のゲートは前記スタンバイ信号SBXを入力する。又、NMOSTランジスタQ36のゲートは前記スタンバイ信号SBXをインバータ回路31を介して入力する。

【0107】従って、SDRAM1がスタンバイ状態の

ときにはPMOSTランジスタQ35及びNMOSTランジスタQ36はオフ状態となる。従って、本実施形態の擬似インターフェース回路部30は、第1実施形態の擬似インターフェース回路部3dの特徴に加えて、スタンバイ状態の時には、抵抗R21、R22、PMOSTランジスタQ35及びNMOSTランジスタQ36を介して貫通電流が流れないため、消費電力のさらなる低減を図ることができる。

【0108】さらに、前記スタンバイ信号SBXはスタンバイ時だけでなく、必要な時間だけ活性化する制御信号としてもよい。

(第5実施形態) 本発明の第5実施形態について図10に従って説明する。尚、本実施形態も、同様に前記第1実施形態で説明した擬似インターフェース回路部3cが相違するだけなので、その相違する部分について説明する。

【0109】図10は、本実施形態の擬似インターフェース回路部31の回路図を示す。尚、説明便宜上、第1実施形態と同じ部分については符号を同じにして詳細な説明を省略する。

【0110】図10において、擬似インターフェース回路部31の信号遷移加速回路32は、容量C31にて構成している。容量C31の一端はPMOSTランジスタQ21のドレインに接続し、他端は放電イネーブル信号を入力したものである。そして、反転内部クロック信号SAがLレベルからHレベルに立ち上ると、前記遅延時間 $t_e$ に相当する一定時間、Lレベルの放電イネーブル信号が容量C31に印加して、容量C21に蓄積されている電荷を容量C31に分配するようにする。従って、擬似I/Oインターフェース信号dDQの立ち下がり波形は、急峻に立ち下がる波形となる。

【0111】このように、本実施形態の擬似インターフェース回路部31は、第1実施形態の擬似インターフェース回路部3dの特徴に加えて、信号遷移加速回路32の回路構成が容量C31という非常に簡単な構成で実施することができる。

【0112】(第6実施形態) 本発明の第6実施形態について図11、図12に従って説明する。尚、本実施形態は、前記第1実施形態で説明した遅延回路部3bが相違するだけなので、その相違する部分について説明する。

【0113】図11は、本実施形態の遅延回路部40の回路図を示す。尚、説明便宜上、第1実施形態と同じ部分については符号を同じにして詳細な説明を省略する。図11において、遅延回路部40を構成する各遅延回路DM1~DMnは、それぞれ抵抗Ra1~Ranを介して電源線Lpに接続されている。又、各遅延回路DM1~DMnは、それぞれ抵抗Rb1~Rbnを介して電源線Lnに接続されている。そして、各抵抗Ra1~Ran、Rb1~Rbnは、各安定化容量Cs1~Csnとの間でローパスフィルタを構成する。つまり、各遅

延回路DM1~DMnに対してそれぞれローパスフィルタを設けている。

【0114】従って、本実施形態では、第1実施形態の遅延回路部3bの特徴に加えて、高電位及び低電位電圧電源VDD、VSSがノイズによって急激に変動しても、各遅延回路DM1~DMnに供給される駆動電源の変動はさらに小さく抑えることができ、各遅延回路DM1~DMnごとで遅延時間の変動を小さくことができる。その結果、精度の高い内部クロック信号CKを生成することができ、内部クロック信号CKのジッターを抑制することができる。

【0115】ちなみに、図27は、ローパスフィルタを備えた従来の別の遅延回路部を示す。この遅延回路部は、電源線Lp、Lnの前端部に抵抗Rz1、Rz2を設け、抵抗Rz1、Rz2と容量Cz1、Cz2でローパスフィルタを構成して全遅延回路DM1~DMnに対する電源電圧の変動を抑えるものであった。そして、図32は、その従来の遅延回路部の各遅延回路DM1~DMnに対する供給電圧Vとの関係を示す特性線Zvと、その各遅延回路DM1~DMnに対する遅延時間tPDとの関係を示す特性線Ztとを示す。

【0116】図32から明らかなように、この遅延回路部においてもこの高電位及び低電位電圧電源VDD、VSSより遠い後段の遅延回路ほど供給電圧Vは小さくなるとともに、遅延時間tPDは長くなっていた。これは、遅延回路部のローパスフィルタは、全ての遅延回路DM1~DMnに対して1つのローパスフィルタで補償しているからと考えられる。

【0117】これに対して、本実施形態の遅延回路部40は図12に示すように、両特性線Zv、Ztは、図32に比べて遅に平坦となる。つまり、各遅延回路DM1~DMnに対してそれぞれローパスフィルタを設けていことから、変動を遅延回路DM1~DMnのローパスフィルタが吸収することから、駆動電源の変動及び遅延時間の変動を小さくすることができる。

【0118】(第7実施形態) 本発明の第7実施形態について図13~図16に従って説明する。尚、本実施形態は、前記第1実施形態で説明した遅延回路部3bが相違するだけなので、その相違する部分について説明する。

【0119】図13は、本実施形態の遅延回路部41の回路図を示す。尚、説明便宜上、第1実施形態と同じ部分については符号を同じにして詳細な説明を省略する。図13において、遅延回路部41を構成する各遅延回路DM1~DMnに電源を供給する電源線Lp、Lnの終端間にダミーロード回路42が設けられている。ダミーロード回路42は、図14に示すように、駆動用のNMOSTランジスタQ41と、2個のオン抵抗用のNMOSTランジスタQ42、Q43とを備えている。駆動用のNMOSTランジスタQ41は、そのドレインが電源線Lpに接続され、ソースが2個のオン抵抗用のNMOSTランジスタQ42、Q43を介して電源線Lnに接続されている。2個のオン抵抗用

のNMOSTランジスタQ42、Q43のゲートとドレインはそれぞれ接続され、駆動用のNMOSTランジスタQ41がオンすると、それぞれオンし、NMOSTランジスタQ42、Q43のオン抵抗にて定電流回路を構成するようになっている。尚、本実施形態では、NMOSTランジスタQ42、Q43のオン抵抗の合計の抵抗値は、電源線Lp、Lnの配線抵抗値(寄生抵抗値)より大きな値に設定されている。

【0120】駆動用のNMOSTランジスタQ41のゲートには、ダミー制御回路43からのイネーブル信号ENが入力される。ダミー制御回路43は、遅延回路部3bの初段の遅延回路DM1に入力される外部クロック信号CLK(図14では他と区別するために「CLK0」と記す)と、遅延回路部41の最後段の遅延回路DMnから出力される外部クロック信号CLK(図14では他と区別するために「CLKn」と記す)とを入力する。

【0121】ダミー制御回路43は、両外部クロック信号CLK0、CLKnに基づいて遅延回路部41の動作期間T1と非動作期間T2を判定する。そして、ダミー制御回路43は遅延回路部41の非動作期間T2に前記駆動用のNMOSTランジスタQ41をオンさせるためのHレベルのイネーブル信号ENを出力する。又、ダミー制御回路43は遅延回路部41の動作期間T1に前記駆動用のNMOSTランジスタQ41をオフさせるためのLレベルのイネーブル信号ENを出力する。

【0122】尚、遅延回路部41の動作期間T1とは、初段の遅延回路DM1にHレベル(又はLレベル)に反転した外部クロック信号CLK0が入力され、その外部クロック信号CLK0に基づいて遅延回路部41の各遅延回路DM1~DMnが順次動作して最後段の遅延回路DMnからHレベル(又はLレベル)に反転した外部クロック信号CLKnが出力されるまでの期間をいう。遅延回路部41の非動作期間T2とは、最後段の遅延回路DMnからHレベル(又はLレベル)に反転した外部クロック信号CLKnが出力された後から、初段の遅延回路DM1にLレベル(又はHレベル)に反転した外部クロック信号CLK0が入力されるまでの間をいう。

【0123】従って、遅延回路部41の非動作期間T2には、駆動用のNMOSTランジスタQ41がオンしてダミーロード回路42には高電位及び低電位電圧電源VDD、VSSに基づいてダミーロード電流Idが流れる。反対に、遅延回路部41の動作期間T1には、駆動用のNMOSTランジスタQ41がオフしてダミーロード回路42にはダミーロード電流Idは流れない。

【0124】つまり、電源線Lp、Lnは、遅延回路部41の動作期間T1には各遅延回路DM1~DMnで消費される駆動電流Isが流れ、遅延回路部41の非動作期間T2にはダミーロード回路42で消費されるダミーロード電流Idが流れることになる。その結果、常に電源線Lp、Lnには一定の値の電流が流れているため、遅延回路部41の動作期

間T1の高電位電圧VDDの変動は図15に示すように殆どなくなる。

【0125】詳述すると、図16に示すダミーロード回路42のない場合には、電源線Lp、Lnは、遅延回路部41の動作期間T1にのみ各遅延回路DM1~DMnで消費される駆動電流Isが流れるため、電源線Lp、Lnの寄生抵抗の影響を受けて高電位電圧VDDは変動していく。

【0126】これに対して、本実施形態の遅延回路部41では、遅延回路部41の非動作期間T2にはダミーロード回路42（NMOSTランジスタQ42、Q43のオン抵抗）で消費されるダミーロード電流Idが流れる。このダミーロード電流Idは、電源線Lp、Lnの寄生抵抗値より大きな値のNMOSTランジスタQ42、Q43のオン抵抗を流れる電流値である。つまり、遅延回路部41の動作期間T1に移って電源線Lp、Lnに流れる電流が各遅延回路DM1~DMnで消費される駆動電流Isに変わっても直前に寄生抵抗値に左右されない大きなダミーロード電流Idが流れていたことから、寄生抵抗による高電位電圧VDDの変動は小さくなる。

【0127】その結果、図16に示すダミーロード回路42のない場合のように、各遅延回路DM1~DMnの遅延時間tDPが相違するのに対して、本実施形態のダミーロード回路42を備えた遅延回路部41は、図15に示すように各遅延回路DM1~DMnの遅延時間tDPは同一となる。

【0128】このように、本実施形態によれば、第1実施形態の特徴に加えて、ダミーロード回路42を設けたので、さらにより高精度の内部クロック信号CKを生成することができ、内部クロック信号CKのジッターを抑制することができる。

【0129】（第8実施形態）本発明の第8実施形態について図17に従って説明する。尚、本実施形態は、前記第7実施形態で説明したダミーロード回路42が相違するだけなので、その相違する部分について説明する。

【0130】図17は、本実施形態のダミーロード回路44の回路図を示す。尚、説明便宜上、第7実施形態と同じ部分については符号を同じにして詳細な説明を省略する。

【0131】図17において、ダミーロード回路44は、駆動用のNMOSTランジスタQ41のソースに定電流回路を構成するNMOSTランジスタQ44を介して電源線Lnに接続されている。NMOSTランジスタQ44のゲートは、電流制御信号SGを入力する。電流制御信号SGは、NMOSTランジスタQ44のドレイン電流、即ち、ダミーロード電流Idを調整する信号である。電流制御信号SGは、SDRAM1内の図示しない内部回路で生成される。

【0132】従って、本実施形態によれば、第7実施形態の特徴に加えて、ダミーロード電流Idを調整でき、より高精度の内部クロック信号CKを生成することができ、内部クロック信号CKのジッターを抑制することができ

る。

【0133】（第9実施形態）本発明の第9実施形態について図18及び図19に従って説明する。尚、本実施形態は、ダミーロード回路に特徴があるためその部分について説明する。図18は本実施形態のダミーロード回路45の回路図を示し、ダミーロード回路45は出力部46と発振部47とを備えている。

【0134】出力部46は、PMOSTランジスタQ50とNMOSTランジスタQ51を備えている。PMOSTランジスタQ50のソースは高電位電圧電源VDDに接続され、ソースは発振部47に接続されている。PMOSTランジスタQ50のゲートは制御信号INZを入力する。NMOSTランジスタQ51のソースは低電位電圧電源VSSに接続され、ドレインは発振部47に接続されている。NMOSTランジスタQ51のゲートは制御信号INXを入力する。

【0135】前記遅延回路部41が非動作期間T2になると、制御信号INZはLレベルとなり、制御信号INXはHレベルとなる。従って、遅延回路部41の最後段の遅延回路DMnから外部クロック信号CLKnが出力されると、PMOSTランジスタQ50及びNMOSTランジスタQ51がオンしそのオンを発振部47に出力する。つまり、PMOSTランジスタQ50はHレベルの信号を、NMOSTランジスタQ51はLレベルの信号を発振部47に出力する。

【0136】発振部47は、複数個（本実施形態では4個）の差動型のインバータ回路47a~47dとから構成されている。各インバータ回路47a~47dは、共に同じ回路構成であって、差動増幅用のNMOSTランジスタQ52、Q53、定電流用のNMOSTランジスタQ54、及び抵抗よりなる2個の負荷RLを有している。そして、初段のインバータ回路47aのNMOSTランジスタQ52のゲートは前記NMOSTランジスタQ51のドレインに接続されている。又、初段のインバータ回路47aのNMOSTランジスタQ53のゲートは前記PMOSTランジスタQ50のドレインに接続されている。

【0137】又、初段のインバータ回路47aの出力端子と2段のインバータ回路47bの入力端子、2段のインバータ回路47bの出力端子と3段のインバータ回路47cの入力端子、及び、3段のインバータ回路47cの出力端子と最終段のインバータ回路47dの入力端子との間の接続は、同相となるように接続されている。そして、最終段のインバータ回路47dの出力端子と初段のインバータ回路47aの入力端子との間の接続だけは、逆相となるように接続されている。

【0138】従って、初段のインバータ回路47aの一方の入力端子（NMOSTランジスタQ52のゲート）にLレベル、他方の入力端子（NMOSTランジスタQ53のゲート）にHレベルの信号が入力すると、次段のインバータ回路47bの各入力端子に同相の信号が入力さ



れ、この状態が最終段のインバータ回路47dまで続く。そして、最終段のインバータ回路47dから出力される出力信号は、初段のインバータ回路47aに出力される。この時、最終段のインバータ回路47dと初段のインバータ回路47aは逆相となるように接続されているため、初段のインバータ回路47aは反転動作する。初段のインバータ回路47aが反転動作すると、次段のインバータ回路47bが反転動作し、この状態が最終段のインバータ回路47dまで続く。以後、発振部47はこの状態が繰り返されることになる。

【0139】又、各インバータ回路47a～47dの定電流用の各NMOSTランジスタQ54のゲートには、イネーブル信号φが入力される。イネーブル信号φは、遅延回路部41が非動作期間T2にはHレベル、動作期間T1にはLレベルとなる信号である。尚、このイネーブル信号φと前記制御信号INZ、INXは、図示しないダミー制御回路にて生成される。このダミー制御回路は、前記外部クロック信号CLK0、CLKnに基づいて生成されるようになっている。

【0140】尚、負荷RLは、本実施形態では抵抗で説明したが、PMOSTランジスタを使ってカレントミラー回路にしてもよい。従って、遅延回路部41の最後段の遅延回路DMnから外部クロック信号CLKnが出力されて遅延回路部41が非動作期間T2に入ると、イネーブル信号φ及び制御信号INZ、INXに基づいてMOSTランジスタQ50、Q51、Q54がオンされる。従って、発振部47は発振動作を開始する。つまり、遅延回路部41が非動作期間T2には、ダミーロード回路45は動作し同ダミーロード回路45において電流が消費される。

【0141】そして、やがて、遅延回路部41の初段の遅延回路DM1に新たな外部クロック信号CLK0が入力されて遅延回路部41が動作期間T1に入ると、イネーブル信号φ及び制御信号INZ、INXに基づいてMOSTランジスタQ50、Q51、Q54がオフされる。このMOSTランジスタQ50、Q51、Q54のオフに基づいて、発振部47は発振動作を停止する。つまり、遅延回路部41が動作期間T1には、ダミーロード回路45は停止し同ダミーロード回路45において電流が消費されない。

【0142】このように、本実施形態によれば、第7実施形態と同様に、より高精度の内部クロック信号CKを生成することができ、内部クロック信号CKのジッターを抑制することができる。

【0143】尚、発明の実施の形態は、上記各実施形態に限定されるものではなく、以下のように実施してもよい。

○上記実施形態の遅延回路部3b、40、41は、1つの外部クロック信号CLKを入力し、各遅延回路DM1～DMnを使って該外部クロック信号CLKを遅延させが、図19に示す、相補外部クロック信号CLKZ、CLKXを入力し、該相補外部クロック信号CLKZ、CLKXを遅延させる遅延回路

部48に応用してもよい。

【0144】図19に示す遅延回路部48の各遅延回路49a、49b、49c、49d…は、差動型のインバータ回路からなる。各遅延回路49a、49b、49c、49d…は、差動増幅用のNMOSTランジスタQ61、Q62、定電流用のNMOSTランジスタQ63、及び抵抗よりなる2個の負荷RL1を有している。そして、各遅延回路49a、49b、49c、49d…間の出力端子と入力端子は同相となるように接続されている。又、定電流用のNMOSTランジスタQ63のゲートには、前記スタンバイ信号SBが入力されている。尚、負荷RL1はPMOSTランジスタよりなるカレントミラー回路で構成してもよい。

【0145】○図20に示すように、2つの第1及び第2擬似インターフェース回路49a、49bを設けて、相補擬似I/Oインターフェース信号dQX、dQXを生成するようにしたSDRAM49に応用してもよい。この場合、次段の擬似信号入力バッファ3dにおいて、相補擬似I/Oインターフェース信号dQX、dQXを比較して1つの擬似I/Oインターフェース信号を生成して判定回路部3eに出力する。又、クロック入力バッファ3aは、相補外部クロック信号CLKZ、CLKXを入力し、相補外部クロック信号CLKZ、CLKXを比較し、1つの外部クロック信号を生成して判定回路部3eに出力する。

【0146】○上記実施形態では、タイミング信号発生回路をDLL回路3の擬似インターフェース回路3cに具体化したのがこれに限定されるものではない。例えば、DLL回路3以外のクロック信号制御回路に本発明のタイミング信号発生回路を応用してもよい。

【0147】○上記実施形態では、タイミング信号発生回路をDLL回路3の擬似インターフェース回路3cに具体化し、その擬似インターフェース回路3cはCMOSレベルからSSTLレベルへの変換を行うものであったが、それ以外のレベル変換のための擬似インターフェース回路に応用してもよい。

【0148】○上記実施形態のタイミング信号発生回路としての擬似インターフェース回路3cでは、能動回路としてのPMOSTランジスタQ21が第1レベルとしてのHレベルを設定し、受動回路としての抵抗R21、R22等が第2レベルとしてのLレベルを設定し、信号遷移加速回路12が第1レベルとしてのHレベルから第2レベルとしてのLレベルの遷移を急峻にするように構成したが、これを能動回路がLレベルを設定し、受動回路がHレベルを設定し、信号遷移加速回路がLレベルからHレベルの遷移を急峻にするようにしたタイミング信号発生回路及びこのタイミング信号発生回路を備えたDLL回路に応用してもよい。

【0149】○上記実施形態では、DLL回路3をSDRAM1に具体化したのが、SDRAM以外の半導体記憶装置及び半導体記憶装置以外の半導体装置に具体化して

もよい。

【0150】○上記実施形態では、本発明の可変遅延回路をDLL回路3の遅延回路部3b、40、41に具体化した。DLL回路以外のクロック信号制御回路に適用してもよい。

【0151】上記実施形態から把握することができる特許請求の範囲に記載した発明以外の技術的思想を以下に記載する。

(1) 請求項5に記載の可変遅延回路において、前記フィルタ素子は容量素子であることを特徴とする可変遅延回路。この可変遅延回路によれば、電源電圧変動やノイズによる各遅延素子の動作変動のバラツキを低減でき、精度の精度の高い内部クロック信号の位相制御を行うことができる。

【0152】(2) 請求項5に記載の可変遅延回路において、前記フィルタ素子はローパスフィルタであることを特徴とする可変遅延回路。この可変遅延回路によれば、電源電圧変動やノイズによる各遅延素子の動作変動のバラツキを低減でき、精度の精度の高い内部クロック信号の位相制御を行うことができる。

【0153】(3) 所定方向に延在する一対の電源配線間に、内部クロック信号の位相を制御するための複数の遅延素子が前記所定方向に沿って配置接続され、その各遅延素子がその一対の電源配線を介してそれぞれ電源供給を受けるようにした可変遅延回路において、前記各遅延素子に対してノイズ低減用のフィルタ素子を設けるとともに、前記一対の電源配線間に、前記各遅延素子の非動作時に各遅延素子に代わって電力消費する電力消費回路を設けたことを特徴とする可変遅延回路。この可変遅延回路によれば、電源電圧変動やノイズによる各遅延素子の動作変動のバラツキを低減でき、精度の精度の高い内部クロック信号の位相制御を行うことができる。

【0154】

【発明の効果】請求項1及び請求項2に記載の発明によれば、精度の高いタイミング信号が生成することができる。

【0155】請求項3に記載の発明によれば、精度の高い内部クロック信号を生成することができる。請求項4に記載の発明によれば、精度の高い内部クロック信号を生成することができ、より高速動作を可能にすることができる。

【0156】請求項5及び6に記載の発明によれば、精度の精度の高い内部クロック信号の位相制御を行うことができる。

【図面の簡単な説明】

【図1】実施形態のSDRAMのブロック回路図

【図2】実施形態の擬似インターフェース回路部の回路図

【図3】実施形態の遅延回路部の回路図

【図4】遅延回路部を構成する各遅延回路の回路図

【図5】擬似I/Oインターフェース信号の波形図

【図6】各遅延回路に対する供給電圧及び遅延時間との関係を示す図

【図7】第2実施形態の擬似インターフェース回路部の回路図

【図8】第3実施形態の擬似インターフェース回路部の回路図

【図9】第4実施形態の擬似インターフェース回路部の回路図

【図10】第5実施形態の擬似インターフェース回路部の回路図

【図11】第6実施形態の遅延回路部の回路図

【図12】第6実施形態の各遅延回路に対する供給電圧及び遅延時間との関係を示す図

【図13】第7実施形態の遅延回路部の回路図

【図14】第7実施形態のダミーロード回路の回路図

【図15】第7実施形態の遅延回路部を説明するための波形図

【図16】ダミーロード回路のない遅延回路部を説明するための波形図

【図17】第8実施形態のダミーロード回路の回路図

【図18】第9実施形態のダミーロード回路の回路図

【図19】遅延回路の別例を示す回路図

【図20】本発明を具体化したSDRAMの別例を示すブロック回路図

【図21】従来のSDRAMを説明するためのブロック回路図

【図22】SSTLインターフェースの回路図

【図23】SSTLインターフェースの等価回路図

【図24】従来の擬似インターフェース回路部の回路図

【図25】従来の擬似インターフェース回路部の回路図

【図26】従来の遅延回路部の回路図

【図27】従来の別の遅延回路部の回路図

【図28】外部I/Oインターフェース信号の波形図

【図29】擬似I/Oインターフェース信号の波形図

【図30】擬似I/Oインターフェース信号の波形図

【図31】従来の遅延回路部に設けた各遅延回路に対する供給電圧及び遅延時間との関係を示す図

【図32】従来の別の遅延回路部に設けた各遅延回路に対する供給電圧及び遅延時間との関係を示す図

【符号の説明】

1、49 SDRAM

2a データ出力バッファ

3 DLL回路

3a クロック入力バッファ

3b、40、41 遅延回路部

3c、21、22、30、31 擬似インターフェース回路部

3d 擬似信号入力バッファ

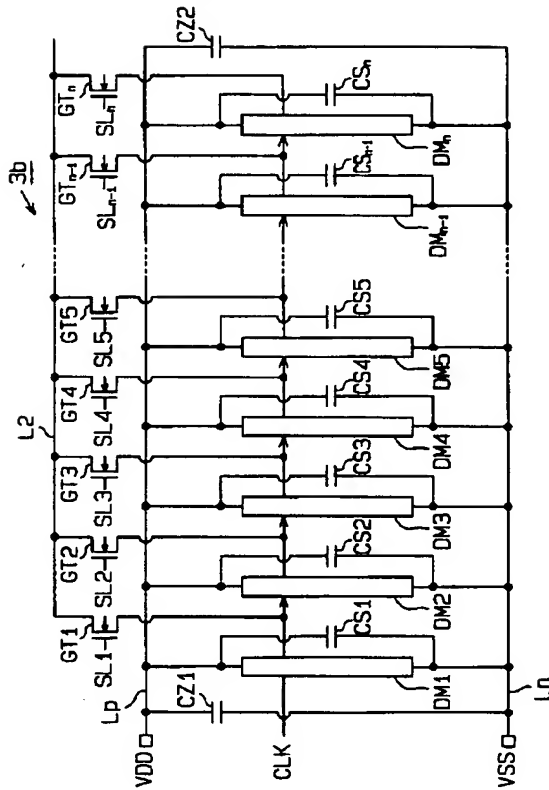
3e 判定回路部





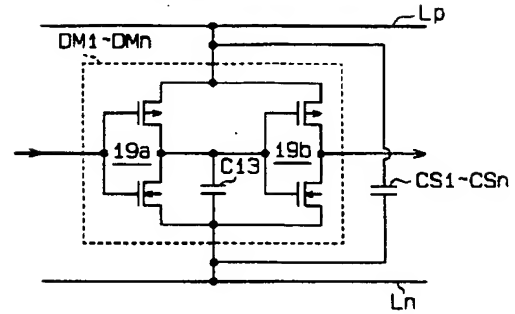
【図3】

第1実施形態の遅延回路部の回路図



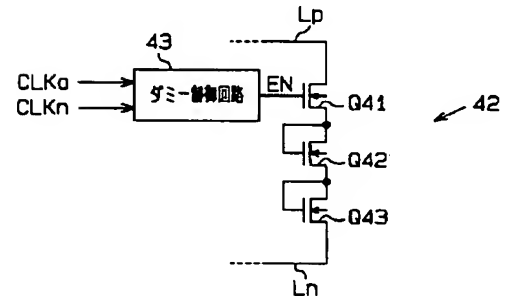
【図4】

遅延回路部を構成する各遅延回路の回路図



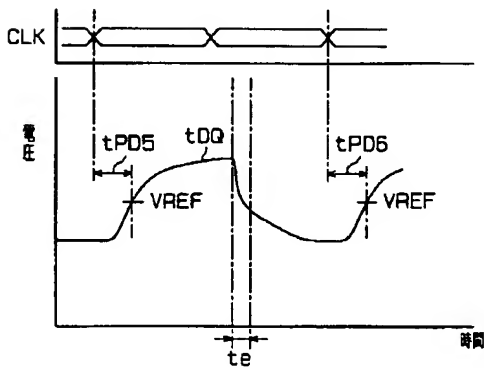
【図14】

第7実施形態のダミーロード回路の回路図



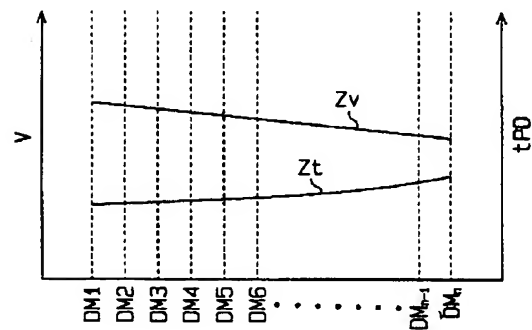
【図5】

擬似I/Oインターフェース信号の波形図



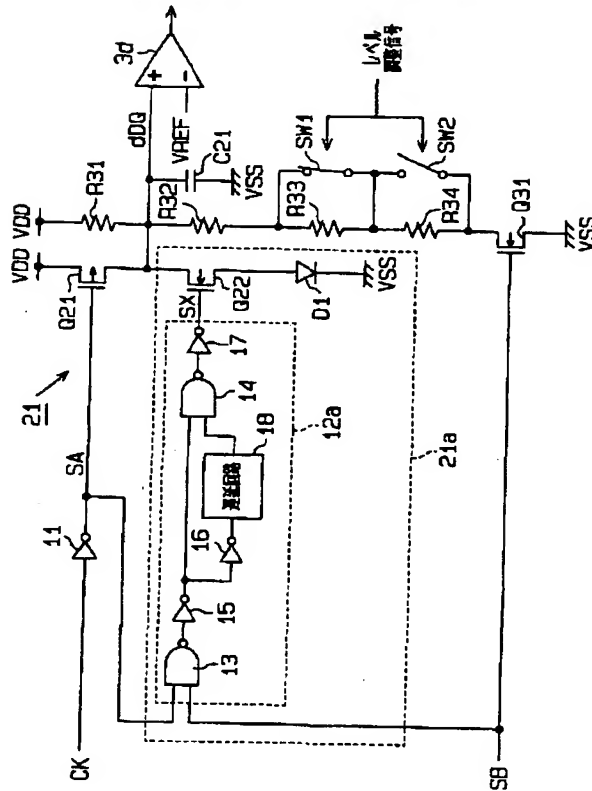
【図6】

各遅延回路に対する供給電圧及び遅延時間との関係を示す図



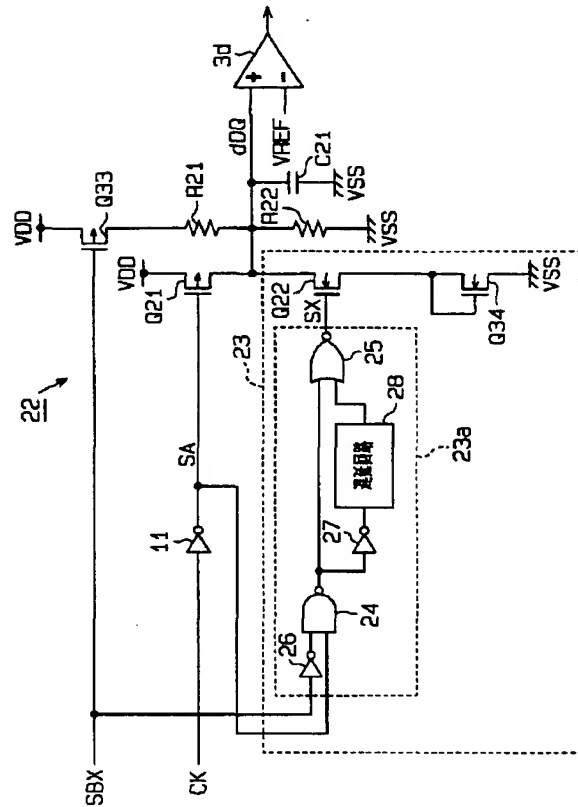
【図7】

### 第2実施形態の擬似インターフェース回路部の回路図



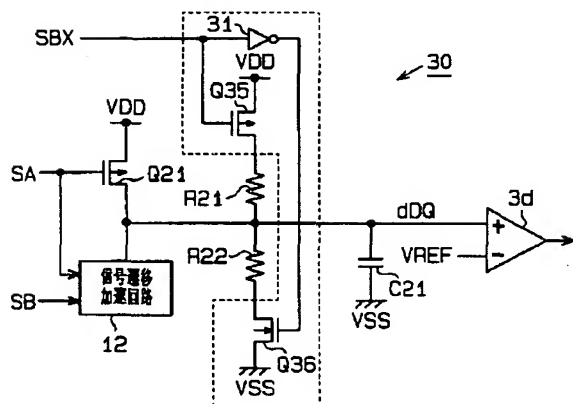
【図8】

### 第3実施形態の擬似インターフェース回路部の回路図



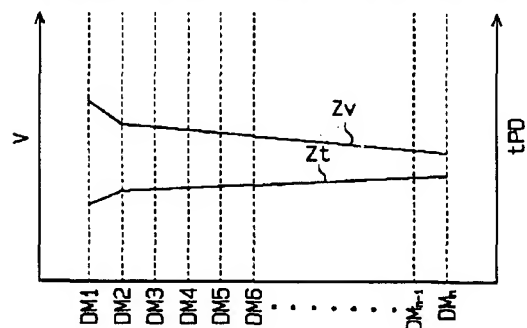
【図9】

第4実施形態の疑似インターフェース回路部の回路図



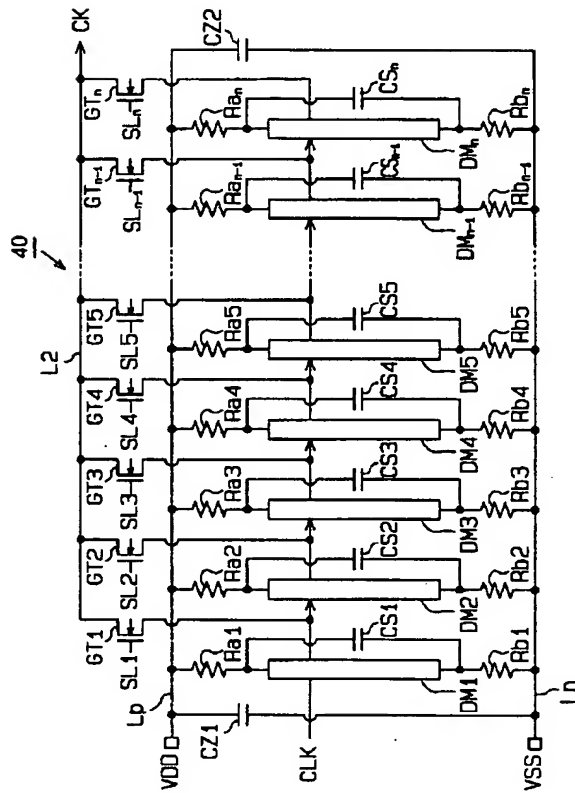
【图 12】

第6実施形態の各遅延回路に対する供給電圧及び遅延時間との関係を示す図



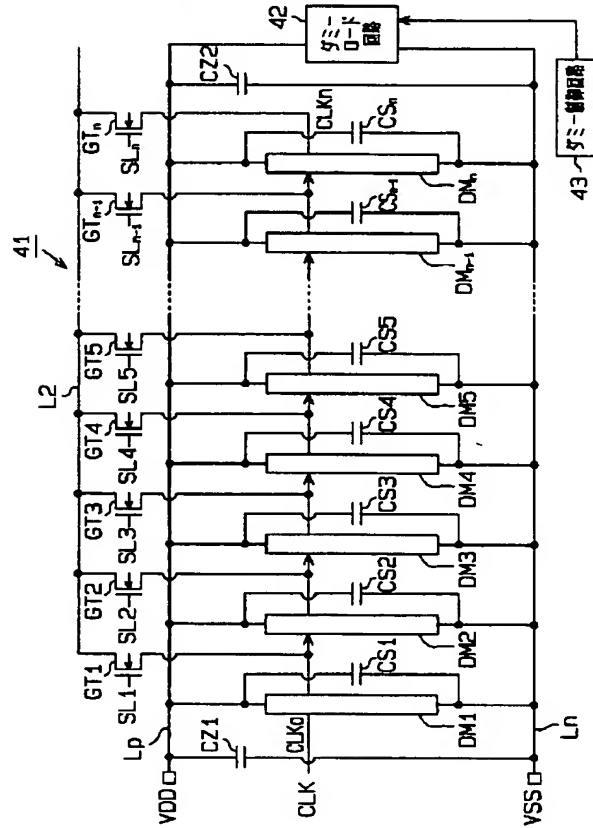
【図11】

第6実施形態の遅延回路部の回路図



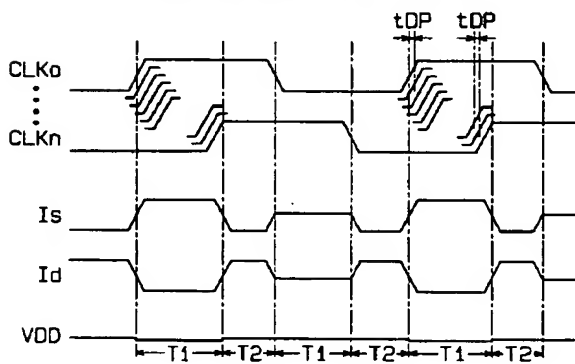
【図13】

第7実施形態の遅延回路部の回路図



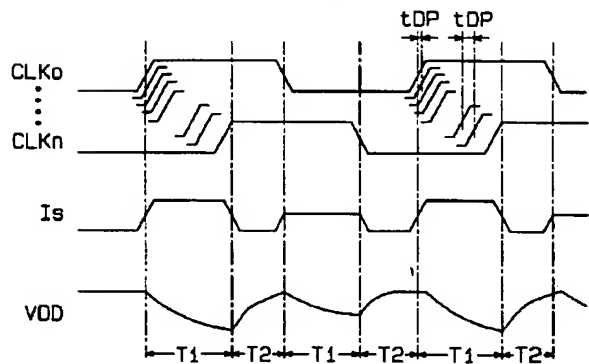
【図15】

第7実施形態の遅延回路部を説明するための波形図



【図16】

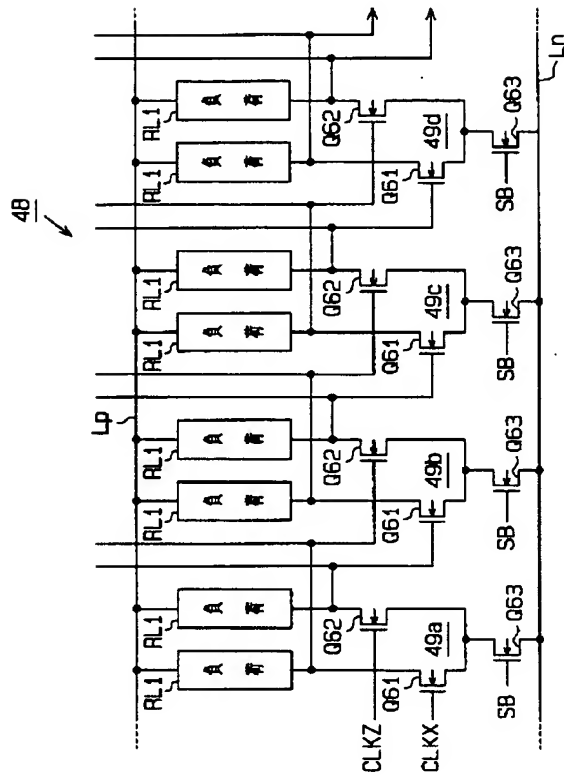
ダミーロード回路のない遅延回路部を説明するための波形図





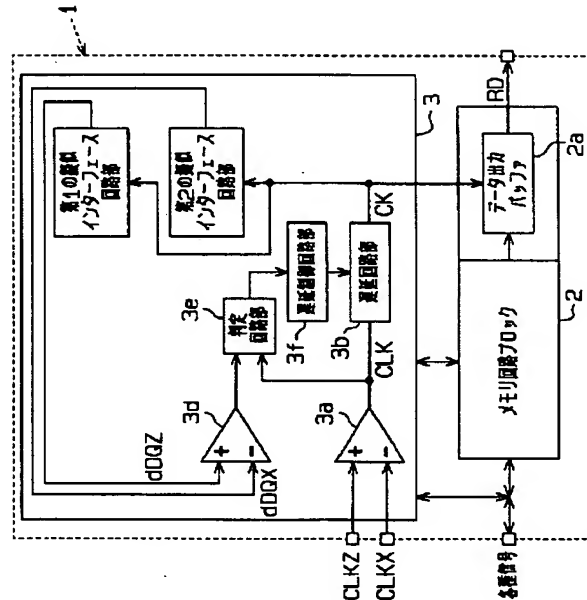
【図19】

本発明を具体化した遅延回路の別例を示す回路図



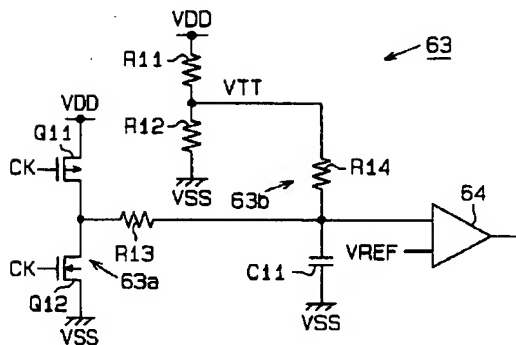
【図20】

本発明を具体化したSDRAMの別例を示すブロック回路図



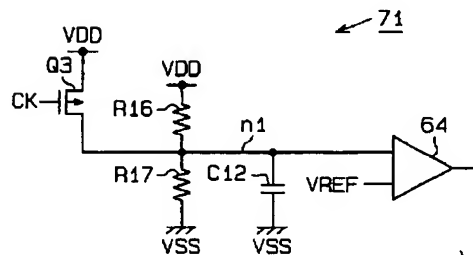
【図24】

従来の擬似インターフェース回路部の回路図



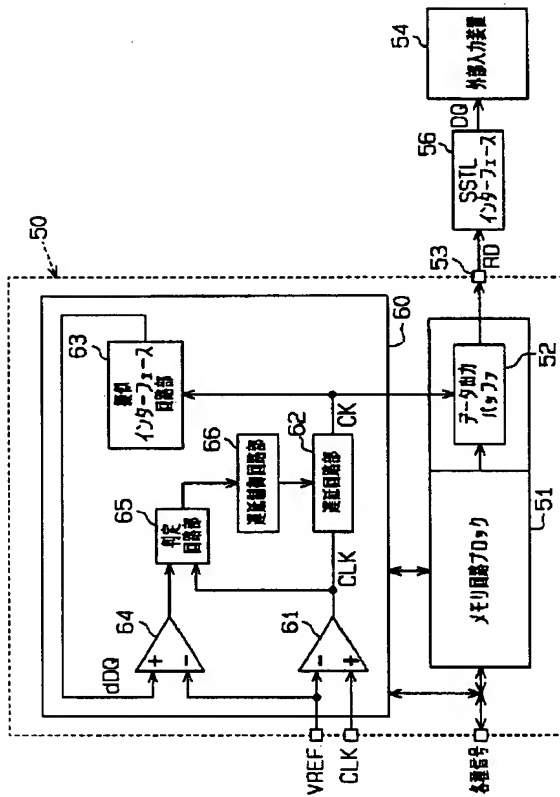
【図25】

従来の擬似インターフェース回路部の回路図



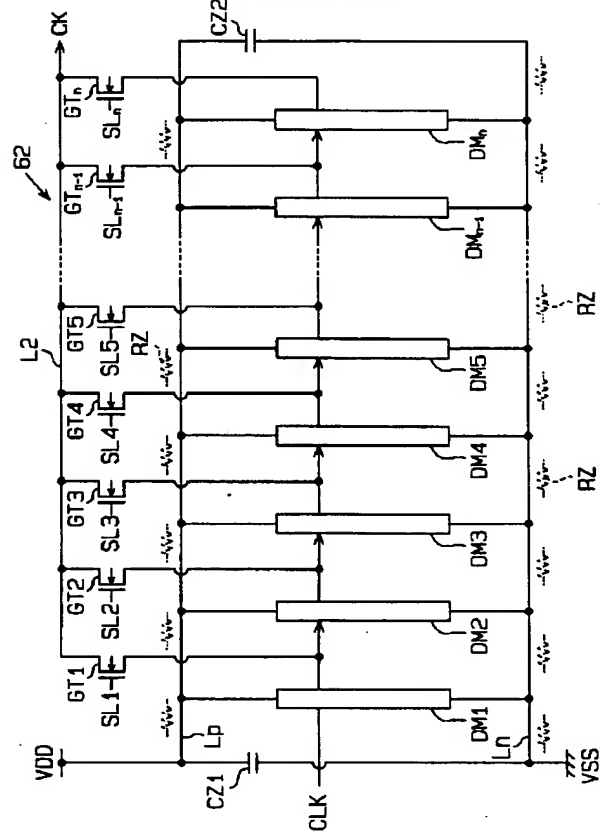
【図21】

従来のSDRAMを説明するためのブロック回路図



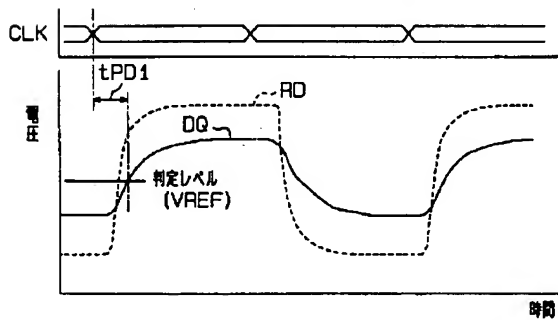
【図26】

従来の遅延回路部の回路図



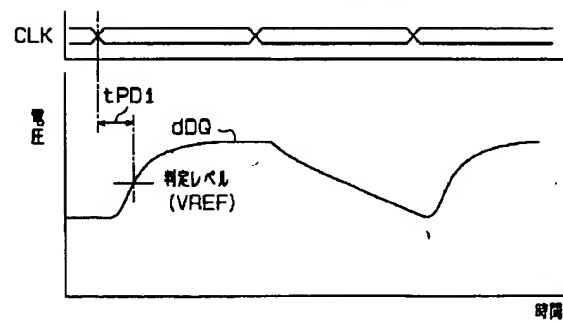
【図28】

外部I/Oインターフェース信号の波形図

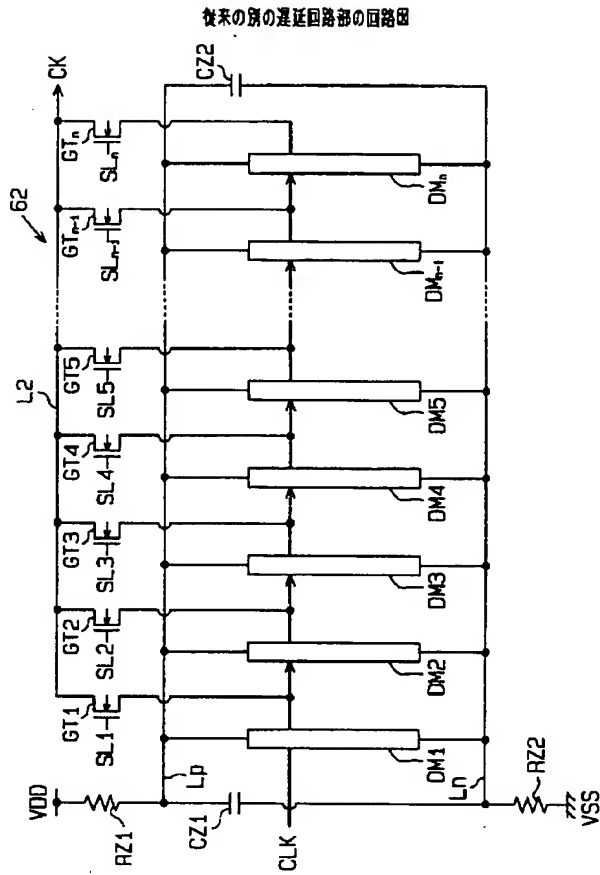


【図29】

擬似I/Oインターフェース信号の波形図

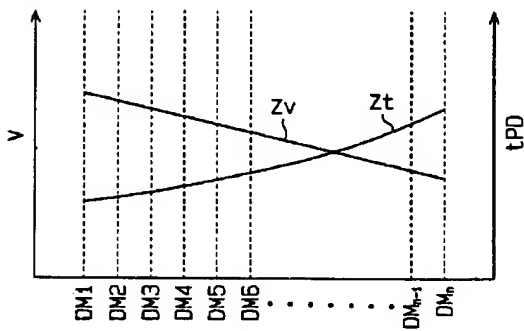


【図27】



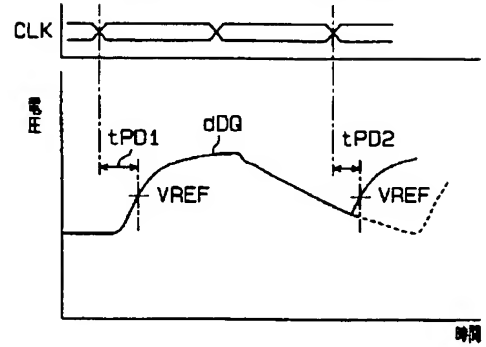
【図31】

従来の遅延回路部に設けた各遅延回路に対する  
供給電圧及び遅延時間との関係を示す図



【図30】

擬似I/Oインターフェース信号の波形図



【図32】

従来の別の遅延回路部に設けた各遅延回路に対する  
供給電圧及び遅延時間との関係を示す図

